

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10285079 A

(43) Date of publication of application: 23 : 10 . 98

(51) Int. Cl

H04B 1/707  
H04L 27/22

(21) Application number: 09091840

(22) Date of filing: 10 . 04 . 97

(71) Applicant: HITACHI LTD

(72) Inventor:  
ARIYOSHI MASAYUKI  
YANO TAKASHI  
AKERA TAKAMOTO  
DOI NOBUKAZU  
ISHII HIROTAKE

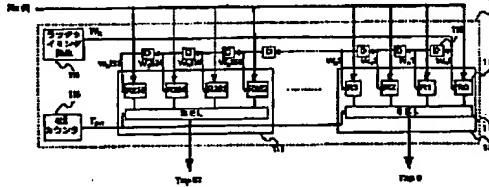
(54) SPREAD SPECTRUM RECEIVER

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To decrease the number of working gates and to reduce the power consumption by reading a received signal in every (n) clocks via each register at an input signal series register part.

SOLUTION: An input signal sequence register 101 is divided into sub-register blocks 111 for each tap. Every block 111 consists of k (4) pieces of registers 112 and a selector 114 which selects a register 112 and sends it to a tap. The registers R0 to R255 read the contents of the received signals Rx in response to the latch timing signals WR0 to WR255 which are decided for every register. Receiving the input of a signal WRi, the registers Ri (i=0 to 255) read the signals Rx (t) and are kept as they are until the input of the next signal WRi is received. Thereby, the contents of every register are rewritten only in every n (=256) clocks and accordingly the power consumption at the input signal sequence register part is reduced down to 1/256 at the part of the register 101 in comparison with a conventional system using a shift register.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-285079

(43)公開日 平成10年(1998)10月23日

(51)Int.Cl.  
H 04 B 1/707  
H 04 L 27/22

識別記号

F I  
H 04 J 13/00  
H 04 L 27/22

D  
F

(21)出願番号 特願平9-91840  
(22)出願日 平成9年(1997)4月10日

審査請求 未請求 請求項の数4 O L (全11頁)

(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72)発明者 有吉 正行  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内  
(72)発明者 矢野 隆  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内  
(72)発明者 雅樂 隆基  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内  
(74)代理人 弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】スペクトル拡散受信機

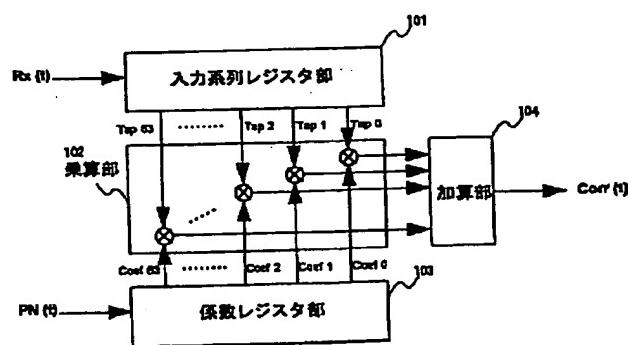
(57)【要約】

【課題】低消費電力、小回路規模のマッチドフィルタ(MF)によるスペクトル拡散受信機を提供する。

【解決手段】受信信号をサンプルタイミングをずらしたn段のレジスタ群101に記憶して1シンボル期間その内容を保持し、シフトレジスタ103に記憶した拡散符号をチップレートで帰還シフトさせることにより相関受信する。また、MFのタップ数を拡散比よりも少なく設定し、巡回累算処理を行う。

【効果】動作ゲート数を減少させることにより消費電力を低く抑えられる。タップ数を削減することにより低消費電力且つ小回路規模のスペクトル拡散受信機を実現できる。

図1



## 【特許請求の範囲】

【請求項1】拡散比Gpでスペクトル拡散された受信信号をサンプリングレートにより時系列で記録するn段のレジスタを備え、該レジスタからm本のタップ ( $m = n/k$ 、但し k はチップレートに対するオーバーサンプル比、 $m = G_p$ ) を出力する入力系列レジスタ部と、逆拡散復調処理を行うための拡散符号系列をmチップ収納する係数レジスタ部と、該入力系列レジスタ部から取り出した各タップと対応する係数レジスタの内容とを乗算する乗算部と、各タップ毎の乗算結果を加算する加算部とを有するマッチドフィルタによるスペクトル拡散受信機において、

該入力系列レジスタ部における個々のレジスタは、レジスタ毎に定められたn回の動作クロックに一度だけ読み込み許可を発するラッチャタイミング信号に応じて受信信号を読み込み、(n-1)クロック分の時間だけ保持し、1チップずつ時間のずれた受信信号を読み込んだm個のレジスタを選択し、且つ動作クロック毎に各タップの出力が $1/k$ チップずつ時間のずれた受信信号となるよう更新するタップ出力制御信号に従って受信信号を出力し、該入力系列レジスタ部からは、タップ出力制御信号により選択されるm個のレジスタの内容がm本のタップとして出力され、

該係数レジスタ部においては、入力される拡散符号系列をmチップずつセットし、該mチップのセットはn動作クロック毎に更新されるが、n動作クロックの間はチップレートにより順次帰還シフトすることを特徴とするスペクトル拡散受信機。

【請求項2】拡散比Gpでスペクトル拡散された受信信号をサンプリングレートにより時系列で記録するn段のレジスタを備え、該レジスタからm本のタップ ( $m = n/k$ 、但し k はチップレートに対するオーバーサンプル比) を出力する入力系列レジスタ部と、逆拡散復調処理を行うための拡散符号系列をmチップ収納する係数レジスタ部と、該入力系列レジスタ部から取り出した各タップと対応する係数レジスタの内容とを乗算する乗算部と、各タップ毎の乗算結果を加算する加算部と、該加算結果を時系列で巡回累算を行う巡回累算部とを有するマッチドフィルタによるスペクトル拡散受信機において、該入力系列レジスタ部における個々のレジスタは、レジスタ毎に定められたn回の動作クロックに一度だけ読み込み許可を発するラッチャタイミング信号に応じて受信信号を読み込み、(n-1)クロック分の時間だけ保持し、該入力系列レジスタ部からは、タップ出力制御信号により選択されるm個のレジスタの内容がm本のタップとして出力され、

該タップ出力制御信号は、1チップずつ時間のずれた受信信号を読み込んだm個のレジスタの組を選択し、且つ動作クロック毎に各タップの出力が $1/k$ チップずつ時間のずれた受信信号となるよう更新してm本のタップ出

力を、1チップずつ時間のずれた受信信号であり、動作クロック毎に $1/k$ チップずつ時間の進んだ受信信号とし、

該係数レジスタ部においては、入力される拡散符号系列をmチップずつセットし、該mチップのセットはn動作クロック毎に更新されるが、n動作クロックの間はチップレートにより順次帰還シフトし、

該巡回累算部においては、nクロック毎の積和演算結果をそれぞれ( $G_p/m$ )回の巡回累算を行うことにより1シンボル分の逆拡散演算結果を出力することを特徴とするスペクトル拡散受信機。

【請求項3】請求項1または2に記載のスペクトル拡散受信機において、

該乗算部は各タップの乗算は、係数の拡散符号が0ならば入力系列レジスタからのタップの値をそのまま乗算結果として出力し、係数が1ならば入力系列レジスタからのタップの値の符号反転結果を乗算結果として出力することを特徴とするスペクトル拡散受信機。

【請求項4】請求項1から3の何れかに記載のスペクトル拡散受信機において、

入力系列レジスタ部、係数レジスタ部、乗算部、加算部及び巡回累算部をデジタル回路で構成することを特徴とするスペクトル拡散受信機。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、スペクトル拡散方式を用いた通信システムに関する。特に、スペクトル拡散変調されて送信された信号を復調するため、同期捕捉及び保持に使用されるディジタルマッチドフィルタによるスペクトル拡散受信機に関する。

## 【0002】

【従来の技術】スペクトル拡散信号の受信に際しては、受信信号の拡散符号と、逆拡散復調に用いる拡散符号を同期させる相関受信を行う必要がある。相関受信方法に関しては、大別して能動相関法と受動相関法に分類され、受動相関法は能動相関法に比べ、一般に初期同期捕捉を短時間のうちに完了する長所を持つことが広く知られている。受動相関法を実現する一手法として、ディジタルマッチドフィルタ（以下、マッチドフィルタ：MF）が挙げられ、近年のLSI技術の発達により実用化されつつある。

【0003】マッチドフィルタを用いたスペクトル拡散受信機は、入力される受信系列をmタップにわたり保存し、各タップの受信データと逆拡散に用いる拡散符号との積和演算を並列に行うので、タップ数mを拡散比Gpと等しくしておくことで、1クロック毎に1シンボル分の相関値を求めることができる。

【0004】図11に従来例として、ディジタル素子で実現した一般的なMFの構成を示す。拡散比Gp=64のスペクトル拡散通信システムにおいて、チップレート

の4倍（オーバーサンプル比 $k=4$ ）でサンプリングされた受信信号 $R \times (t)$ をタップ数 $m=64$ のMFにより逆拡散する例を示している。MFは、256段の受信系列入力遅延素子301、64段の拡散符号係数レジスタ302、64段の拡散符号係数遅延素子303、64個の乗算器、及び64タップの乗算結果を加算する加算部304からなる。拡散符号係数遅延素子303の遅延時間Tは拡散符号の1チップの時間幅、受信系列入力遅延素子301の遅延時間Dは受信信号 $R \times (t)$ をサンプリングする1動作クロック時間である。オーバーサンプル比 $k=4$ でサンプリングするため、 $T=4 \times D$ の関係にある。図中、4Dと表記してあるのは、遅延時間Dの遅延素子が4段従属接続されていることを示している。従属接続された受信系列入力遅延素子301の4段毎に、タップ（Tap 0～63）が出されている。

【0005】受信信号 $R \times (t)$ は受信系列入力遅延素子301に順次入力される。隣接するタップ間では4段の遅延時間Dの遅延素子が従属接続されているから、Tap 0, Tap 1, …, Tap 63は、1チップ（時間幅=T）毎にサンプリングされた受信信号系列を出力する。一方、拡散符号係数レジスタ302には拡散符号系列C0, C1, C2, …, C63が入力されている。スペクトル拡散通信システムにおける拡散符号系列の周期が64チップの場合は、係数レジスタ302の内容を固定する。しかし、一般に符号間の相互干渉を防止するためには長い拡散符号長の拡散符号系列により拡散させることが望ましい。複数シンボル（1シンボル=64チップ）にまたがる拡散符号長の拡散符号を用いて連続した受信信号系列の逆拡散を行う場合には、係数レジスタ302の内容は64チップ（256動作クロック）毎に更新する。

【0006】具体的には、64段の拡散符号係数遅延素子303は4動作クロックごとにその内容を次段の遅延素子にシフトさせる。256動作クロック経過した時点で、64段の拡散符号係数遅延素子303に保持された拡散符号系列は次シンボルの拡散符号系列に更新され、ロードタイミング信号Wcの入力を受けて、64段の拡散符号係数レジスタ302に一斉に読み込まれる。

【0007】各タップ出力と対応する拡散符号系列は乗算され、各乗算結果は加算部304で加算されて、相関値Corr(t)が出力される。これらの処理は次式で表される。

$$[0008] \text{Corr}(t) = \text{Tap}_0 \times C_0 + \text{Tap}_1 \times C_1 + \dots + \text{Tap}_{63} \times C_{63}$$

このように、MFによるスペクトル拡散受信機は、各タップの受信データと拡散符号との積和演算、すなわち逆拡散処理を瞬時に行うので、初期同期捕捉が高速で行うことが可能である。また、伝送路におけるマルチパス成分をサンプリングレートの分解能で分離した出力を得られるため、RAKE受信のためのパス検索を有効に行え

るという利点がある。

【0009】しかしながら、MFをデジタル素子で実現する場合、前述の通り、デジタル遅延素子、乗算器、加算器など非常に多くのゲート数が必要であり、回路規模が大きいという問題があった。また、遅延素子301に入力された受信信号 $R \times$ は順次次段の遅延素子にシフトされる構成となっているため、1クロックごとに全ての入力系列係数遅延素子301及び乗算器305、加算部304を構成するゲートが動作することになり、消費電力も非常に大きくなるという問題があった。

【0010】

【発明が解決しようとする課題】近年、米国、香港、韓国などでスペクトル拡散を適用したセルラ移動通信システム（IS-95）が実用化されているが、初期同期捕捉の高速性、RAKE受信用パス検索等の柔軟性などの利点からMFによるスペクトル拡散受信機の適用が期待されている。MFによるスペクトル拡散受信機をセルラ移動通信システムとして実用化するには、低消費電力化、小回路規模化、低価格化が強く望まれる。

【0011】しかしながら、前述の通り、MFを用いた逆拡散器は回路規模が大きく、消費電力も大きくなるという短所があった。

【0012】この原因は、大きく分けて次の二点が考えられる。第一は、従来のMFにおいては、1タップ当たり $k$ 段（ $k$ はチップレートに対するオーバーサンプル比）の入力系列用遅延素子、1個の拡散符号係数レジスタ、1個の乗算器が必要である。そのため、タップ数にほぼ比例して回路規模は増大していた。第二は、入力系列 $n$ 段（ $n=k$ （オーバーサンプル比） $\times m$ （タップ数））の遅延処理から入力系列と拡散符号系列の積和演算までを1クロックで一括して処理するため、1クロック毎に多数のゲートが動作する。そのため、消費電力の増大を招いていた。

【0013】本発明の第一の目的は、動作するゲート数を減少させることで、低消費電力のMFによるスペクトル拡散受信機を提供することにある。

【0014】また、本発明の第二の目的は、MFを構成するタップ数を少なくし、回路規模の小さいMFによるスペクトル拡散受信機を提供することにある。

【0015】

【課題を解決するための手段】上記第一の目的である低消費電力化を達成する為に、本発明によるスペクトル拡散受信機は、従来のマッチドフィルタに使用されていた $n$ 段の受信信号用シフトレジスタに替えて書き込み信号により制御されるレジスタを $n$ 段用い、各レジスタ内容の書き換えの回数を従来方式の $1/n$ とすることを特徴とする。従って、本発明のスペクトル拡散受信機では、書き込み信号により制御される $n$ 段のレジスタと、拡散符号をチップレート毎にスライドさせるレジスタとして機能する手段と、レジスタのタップからの出力と拡散符号の

乗算処理を行う手段と、各乗算結果を加算する手段を有する。

【0016】また、前述の第二の目的である回路規模縮小化を実現する為に、本発明によるスペクトル拡散受信機は、マッチドフィルタのタップ数、拡散符号の係数レジスタ、乗算器を $m'$ （但し $m' < m$ ）とし、積和演算結果として得られた部分相関値を $G_p/m'$ 回巡回累算することによって1シンボル分の相関値を得ることを特徴とする。従って、本発明の第二の目的を達成するスペクトル拡散受信機では、上記の構成に加えて積和演算結果を $k \times m'$ クロック毎に $G_p/m'$ 回の巡回累算を行う手段を有する。

#### 【0017】

【発明の実施の形態】以下、本発明を拡散比 $G_p = 64$ のスペクトル拡散通信システムにおいて、チップレートの4倍（ $k = 4$ ）でサンプリングされた受信信号の逆拡散処理するスペクトル拡散受信機を例に説明する。

【0018】図1に本発明の第一の実施例であるMFによるスペクトル拡散受信機の構成要素ブロックを示す。MFのタップ数 $m$ は拡散比 $G_p$ と同数の64である。本発明の第一の実施態様であるスペクトル拡散受信機は、入力信号系列レジスタ部101、係数レジスタ部103、乗算部102、及び加算部104より構成される。チップレートの4倍でオーバーサンプリングされた受信信号 $R_x(t)$ は、入力信号系列レジスタ部101に入力され、拡散符号 $P_N(t)$ は係数レジスタ部103に入力される。入力信号系列レジスタ部101から出力される各タップ（Tap0～Tap63）とそれに対応する係数レジスタ部103から出力される拡散係数（Coef0～Coef63）は乗算部102により乗算処理が行われた後、加算部104において全タップの乗算結果の加算処理が行われ、相関値Corr(t)が出力される。

【0019】図2に入力信号系列レジスタ部101の構成を示す。入力信号系列レジスタ部101は各タップ毎のサブレジスタブロック111に分けられ、各サブレジスタブロック111は $k (= 4)$ 個のレジスタ112と該レジスタを選択してタップに出力するセレクタ114からなる。レジスタR0～R255は、各レジスタ毎に定められたラッチャタイミング信号WR0～255に応じて受信信号 $R_x$ の内容を読み込む。レジスタR $i$ （ $i = 0 \sim 255$ ）はラッチャタイミング信号WR $i$ の入力を受けると、受信信号 $R_x(t)$ を読み込み、次のタイミング信号WR $i$ の入力を受けるまでそのまま保持する。ラッチャタイミング信号発生器115は、256動作クロックに1回、ラッチャタイミング信号WR0を発生させる。

【0020】図5は、サブルジスタブロック0の動作タイミングを示した図である。図5を用いて入力信号系列レジスタ部101の動作を説明する。受信信号 $R_x(t)$ は周期Dの動作クロックでサンプリングされ、入

力信号系列レジスタ部101に入力される。時刻0に、ラッチャタイミング信号発生器115により発生されたラッチャタイミング信号WR0がレジスタR0に入力され、レジスタR0には受信信号 $R_x(0)$ が読み込まれる。時刻1では、WR0を遅延素子113によりクロック周期Dだけ遅延させたラッチャ動作タイミング信号WR1がレジスタR1に入力され、レジスタR1には受信信号 $R_x(1)$ が読み込まれる。

【0021】このように、ラッチャタイミング信号WR0～WR255は、それぞれ256クロックに1回、受信信号の読み込み許可を発するもので、隣合うレジスタ同士ではお互いに、1動作クロックずつずれたものが与えられる。したがって、レジスタ（R0～255）112には、1クロックずつずれた受信信号系列が記憶される。セレクタ114は4進カウンタ116により発生されるタップ出力制御信号Toutにより、動作クロック毎に巡回的に（サブルジスタブロック0では、例えば、R0, R1, R2, R3, R0, R1, …の順序で）接続されているレジスタを選択し、その内容をタップ出力として乗算部102に送る。

【0022】すなわち、Tap0の出力は、1シンボルに相当する時刻 $t = 0 \sim 255$ の期間においては、 $R_x(0), R_x(1), R_x(2), R_x(3)$ が巡回して出力される。 $t = 256 \sim 259$ でレジスタR0～R4の内容が順次更新され、 $t = 256 \sim 511$ では $R_x(256), R_x(257), R_x(258), R_x(259)$ が巡回して出力されることとなる。

【0023】図3は入力信号系列レジスタ部101の別の構成を示したものである。図2に示した第1の構成例においては、各レジスタ用のラッチャタイミング信号WRは、ラッチャタイミング信号発生器115で生成されたラッチャタイミング信号WR0を、動作クロック時間Dの遅延時間の遅延素子113によりさせて生成している。本構成においては、ラッチャタイミング信号WRをn進カウンタ（256進）とアドレスデコーダを用いて生成することも可能である。アドレスデコーダ出力（WR0～WRn（n=256））は直接各々レジスタ（R0～Rn（n=256））に接続され、n進カウンタの値に対応するラッチャタイミング信号が発生されることにより、受信信号 $R_x(t)$ が順次レジスタに読み込まれる。

【0024】図4に係数レジスタ部103の構成を示す。係数レジスタ部103は、64段の拡散符号係数レジスタ122、拡散符号係数Coef0～Coef63を出力する64段の係数出力遅延素子（シフトレジスタ）121から構成される。拡散符号系列 $P_N(t)$ は、ラッチャタイミング信号WCR0～WCR63に従つて、拡散符号係数レジスタC0～C63に順次読み込まれる。

【0025】ラッチャタイミング発生器124は、n（=256）動作クロックに1回、ラッチャタイミング信号W

C R Oを発生させ、チップ周期Tの遅延素子125をx段( $x=0 \sim 63$ )通ることにより、ラッチタイミング信号W C R 0～W C R 6 3が得られる。4倍のオーバーサンプリングをしている場合においては、 $T = 4D$ の関係にあるから、拡散符号係数は4動作クロックごとに次段の拡散符号係数レジスタの内容が更新される。

【0026】なお、図4の係数レジスタ部103において、ロードタイミング信号発生器123、ラッチタイミング信号発生器124は独立に設ける必要はなく、ロードタイミングW cには受信信号系列レジスタ部101で発生されるラッチタイミング信号W R 0を、ラッチタイミング信号W C R 0～W C R 6 3にはそれぞれ受信信号系列レジスタ部101で発生されるラッチタイミング信号W R (4 i) ( $i=0 \sim 63$ )を共用することができる。

【0027】その結果、拡散符号係数レジスタC 0～C 6 3の内容はn動作クロック毎に全てが更新され、 $n=k \times m=G p$ の場合は1シンボル時間( $n=256$ 動作クロック)に1回ロードタイミング発生器123より発生されるロードタイミング信号W Cを合図に、係数出力遅延素子(シフトレジスタ)121にロードされる。

【0028】各係数出力遅延素子(シフトレジスタ)121の内容は、それぞれチップレートのタイミング( $T=4D$ )で次段の係数出力遅延素子121へ帰還シフトする。受信信号R xとの乗算のため、動作クロックに従って、C o e f 0～C o e f 6 3を出力する。したがって、図6より把握されるように、C o e f 0の出力は、1チップの時間幅ごとに更新される。例えば、時刻t=252～255のときにP N (0)、t=256～259のときにP N (63)、…となる。

【0029】乗算部102では、前述の通りタップ出力T a p i ( $i=0 \sim 63$ )と対応する係数レジスタの内容C o e f i ( $i=0 \sim 63$ )の乗算処理を行う。図6は、入力信号系列レジスタ部101の各T a p出力と係数レジスタ部103の各C o e f出力の動作タイミングを示したものである。時刻t=0においてスペクトル拡散受信機の動作が開始されたものとする。

【0030】このとき、t=252のとき入力信号系列レジスタ部101のレジスタR 252に受信信号R x (252)が入力され、T a p 0～T a p 6 3全てから受信信号R xが出力される。係数レジスタ部103においても、t=252のとき係数レジスタ部103の拡散符号係数レジスタC 6 3にP N (63)が入力され、ロードタイミングW cの入力を受け、最初の拡散符号系列が係数出力遅延素子(シフトレジスタ)121にロードされる。それにより、C o e f 0～C o e f 6 3より最初の拡散符号系列P N (0)～P N (63)が出力される。

【0031】t=256～259では、T a p 0からはR x (256)～R x (259)が順次出力される。一

方、拡散符号係数C o e fは帰還シフトし、C o e f 1からP N (0)、C o e f 2からP N (3)、…C o e f 0からP N (63)が出力される。その結果、1動作クロック毎に1サンプル時間(D)だけずれて、T a p 0～T a p 6 3より出力される受信信号系列R x (t)～R x (t+252) ( $t=0, 1, 2 \dots$ )とC o e f 0～C o e f 6 3より出力されるP N (0)～P N (63)と比較されることとなり、加算部104から1動作クロック毎に、受信系列と拡散符号系列のタイミングが1サンプルずつずれた相関値C o r rが得られる。

【0032】さらに、拡散符号系列はn動作クロック時間( $n=k \times m=G p$ の場合は1シンボル時間、即ち256動作クロック)で次の拡散符号系列P N (64)～P N (127)に更新される。ただし、拡散符号長がタップ数mを超える通信システムにおいて、初期同期捕捉をとる場合には1シンボル時間で同期をとることができない場合が生じる。この場合には、係数レジスタ部103におけるロードタイミング信号W c及びラッチタイミング信号の発生を抑制し、係数出力遅延素子121の内容を拡散符号系列P N (0)～P N (63)に、係数レジスタ122の内容を拡散符号系列P N (64)～P N (127)で固定する。同期がとれた次のシンボル時間で、係数出力遅延素子121の内容を次の拡散符号系列に更新するよう制御する。

【0033】本発明のM Fによるスペクトル拡散受信機の第一の実施態様における消費電力について、従来例である図11のM Fによるスペクトル拡散受信機と対比しながら説明する。入力信号系列レジスタ部201においては、各レジスタは $n=256$ クロック毎にしか内容が書き換わらないので、従来のシフトレジスタを用いた方式(図11)に比べ、入力信号系列レジスタの部分の消費電力を約1/256に削減できる。但し、入力信号系列レジスタ部201では、セレクタ114に要する消費電力が必要である。しかし、セレクタは入力信号系列レジスタの約1/2のゲートで構成できるため、結果的に入力系列レジスタ部201の消費電力は、従来方式の約1/2に削減できる。

【0034】他の構成要素の消費電力に関しては、乗算器については従来方式と同一である。係数レジスタ部203では、図11と比較すると、ロードタイミング発生器123、ラッチタイミング信号発生器124が増えているが、これらのタイミング信号は入力係数レジスタ部と共に共有する事が出来るため、付加回路は不要であり、消費電力の増加もない。

【0035】この結果、第一の実施態様のM Fによるスペクトル拡散受信機は、図11に示す従来方式よりも、全体としての消費電力を約30%削減することができる。

【0036】次に、本発明の第二の実施態様として、回路規模を小さくしたM Fによるスペクトル拡散受信機に

ついて説明する。本実施態様におけるMFのタップ数  $m' = 16$  であり、巡回累算部は  $Gp/m' = 4$  ( $64/16$ ) 回の累算処理を行う。

【0037】図7に本発明の第二の実施態様であるMFによるスペクトル拡散受信機の構成要素ブロックを示す。本発明の第二の実施態様であるスペクトル拡散受信機は、入力信号系列レジスタ部201、係数レジスタ部203、乗算部202、加算部204、及び巡回累算部205より構成される。チップレートの4倍でオーバーサンプリングされた受信信号  $R_x(t)$  は、入力信号系列レジスタ部201に入力され、拡散符号  $P_N(t)$  は係数レジスタ部203に入力される。入力信号系列レジスタ部201から出力される各タップ ( $Tap_0 \sim Tap_{15}$ ) と、対応する各係数レジスタ ( $Coeff_0 \sim Coeff_{15}$ ) の内容は乗算部により乗算処理が行われた後、加算部において全タップの乗算結果の加算処理が行われ、部分相関値  $Sub\_Corr(t)$  が出力される。巡回累算部205では、部分相関値  $Sub\_Corr(t)$  に対して  $Gp/m' = 4$  回の累算処理が施され、1シンボル分の相関値  $Corr(t)$  が出力される。

【0038】入力信号系列レジスタ部201、係数レジスタ部203、乗算部202、加算部204のそれぞれの構成は、タップ数を除いて先に述べた本発明による第一の実施態様と同一に構成することができる。ただし、入力信号系列レジスタ部201のラッチタイミング信号  $WR_0$  は64動作クロックに1回、同様に係数レジスタ部203のロードタイミング信号  $WC$  もまた64動作クロックに1回になる。また、図11の方式のように、入力信号系列レジスタ部201を従属接続した遅延素子により、係数レジスタ部203を係数レジスタと遅延素子とによって構成することも可能である。

【0039】図8に巡回累算部205の構成を示す。巡回累算部205は、加算器211と、 $n$ 段 ( $n = k \times m' = 64$ ) の累算レジスタ212と、累算レジスタ212の読み込みを指示するラッチタイミング信号  $Wr_0 \sim Wr_{63}$  を発生させるラッチタイミング信号発生器215と、累算に用いる累算レジスタ212を決定する  $n$  進カウンタ ( $n = 64$ ) 216と、巡回累算部出力を制御する出力切換スイッチ217と、出力切換スイッチ217を制御するシンボルタイミング発生器218とを備える。

【0040】各レジスタ  $r_0 \sim r_{63}$  は、入力系列レジスタ部201内のレジスタと同様の動作をする。すなわち、ラッチタイミング信号  $Wr_0 \sim Wr_{63}$  に従って巡回累算結果  $A\_Corr(t)$  を読み込む。ラッチタイミング信号  $Wr_0 \sim Wr_{63}$  はそれ64クロックに1回、巡回累算結果  $A\_Corr(t)$  の読み込み許可を発するもので、隣合うレジスタ同士ではお互いに、1クロックずつずれたものが与えられる。従って、隣合うレ

ジスタは、1クロックずつずれた受信信号系列の巡回累算結果を記憶する。セレクタ214は64進カウンタ216により、クロック毎に巡回的に ( $r_0, r_1, r_2, \dots, r_{63}, r_0, r_1, \dots$  の順序で) レジスタを選択する。

【0041】レジスタからの出力と加算部204からの部分相関値  $Sub\_Corr(t)$  は加算器211で累算され、1シンボル分即ち  $Gp/m' = 4$  回の累算後、相関値  $Corr(t)$  として出力される。相関値  $Corr(t)$  の出力は切換スイッチ217によって制御され、巡回累算結果出力期間には、各レジスタ  $r_0 \sim r_{63}$  の内容は0にリセットされる。

【0042】図5に示したような受信信号  $R_x(t)$  が第2の実施態様におけるMFに入力されたものとして、巡回累算部205の動作を説明する。時刻  $t = 60$  に、レジスタ  $r_0$  に受信信号系列  $R_x(0), R_x(4), R_x(8), \dots, R_x(60)$  と部分拡散符号系列  $P_N(0) \sim P_N(15)$  との部分相関値  $Sub\_Corr$  が入力される。同様に時刻  $t = 61$  に、レジスタ  $r_1$  に受信信号系列  $R_x(1), R_x(5), R_x(9), \dots, R_x(61)$  と部分拡散符号系列  $P_N(0) \sim P_N(15)$  との  $Sub\_Corr$  が入力される。このように、各累算レジスタ212には、1サンプルずつずれた  $Sub\_Corr$  が記憶される。

【0043】時刻  $t = 124$  で、係数レジスタ部203において係数出力遅延素子の保持する部分拡散符号系列は、次の部分拡散符号系列  $P_N(16) \sim P_N(31)$  に切り換えられ、 $R_x(64), R_x(68), R_x(72), \dots, R_x(124)$  と部分拡散符号系列  $P_N(16) \sim P_N(31)$  との  $Sub\_Corr$  が算出され、加算器211によりセレクタ214が選択した累算レジスタ  $r_0$  の内容と足し合わされる。これにより  $R_x(0), R_x(4), R_x(8), \dots, R_x(124)$  と  $P_N(0) \sim P_N(31)$  との  $Sub\_Corr$  に等しいものを得る。

【0044】また、シンボルタイミング発生器218は、 $t = 0$  から  $t = 187$  まで切り換えスイッチ217を  $A\_Corr$  を累算レジスタ212側に、 $t = 188$  から  $t = 251$  には  $A\_Corr$  を  $Corr(t)$  として出力する。

【0045】その結果、巡回累算部205における  $Sub\_Corr(t)$  及び  $A\_Corr$  の波形は図9のようになる。加算部出力単位ごとに同期のとれた場所に部分相関値のピークが現れる(図9(a))。これらのピークが加算され、巡回累算結果出力区間(上の例では  $t = 188$  から  $t = 251$ 、すなわち1シンボル期間のうち最後の部分加算を実行している期間)に大きなピークが現れる(図9(b))。

【0046】なお、このような累算により同期をとるために、初期同期捕捉がとられていないなければならない。

初期同期捕捉のためには、部分相関値 Sub\_Corr についてピークが観測できるまで部分拡散符号系列の値を固定し、観測できれば次のサイクルから部分拡散符号系列を更新するように制御すればよい。

【0047】また、ラッチタイミング信号WR0~63は入力信号系列レジスタ部201に使用されるWR0~63を共有することができる。

【0048】本発明のMFによるスペクトル拡散受信機の第二の実施態様における消費電力について、従来例である図11のMFによるスペクトル拡散受信機と対比しながら説明する。入力系列用レジスタ部201の消費電力は、タップ数削減の効果により約1/8となる。乗算部202、係数レジスタ部203については、共にタップ数削減の効果により約 $m'/Gp = 1/4$ となる。また、第二の実施例において付加される巡回累算部205による電力消費量は図11に示される従来の加算部に対して約 $2m'/Gp = 1/2$ である。この結果、スペクトル拡散受信機全体の消費電力は、本発明による第二の実施例は従来方式より約60%削減できる。

【0049】回路規模については、入力系列レジスタ部201は従来方式に対して約 $2m'/Gp$ 、乗算部202、係数レジスタ部203は約 $m'/Gp$ の削減効果がある。しかし、巡回累算部205は、 $m'$ の値に拘らず全体の約2/3を占めるほど回路規模が大きく、この部分が全体の規模を左右する。実際には、先に説明した $m' = 16$ の第二の実施態様における全体の回路規模が従来方式より約10%縮小でき、さらに $m' = 8, 4$ の場合はそれぞれ約50%、75%の縮小効果がある。従って、拡散比 $Gp = 64$ のシステムにおいては、 $m' \leq 16$ の値を選択することにより、全体の回路規模縮小が可能となる。

【0050】以上、本発明の2つの実施態様として、受信信号のサンプリングレートをチップレートの4倍( $k = 4$ )とする場合について説明したが、 $k = 1$ の場合は入力系列レジスタ部内のレジスタ数はタップ数と等しくなる( $m = n$ )ため、図10に示すように入力系列レジスタ部においてタップ出力制御信号を出力するカウンタ116及びセレクタ114などが不要となる。なお、この場合、サンプリング時間 $D = T$ (1チップの時間幅)となる。

#### 【0051】

【発明の効果】本発明によれば、入力信号系列レジスタ部において各レジスタをnクロックに1回だけ受信信号を読み込む構成とすることにより、動作ゲート数を減少させることができるので、消費電力を低く抑えるスペクトル拡散受信機が実現できる。

【0052】このように構成することは、一般的に拡散符号の同期捕捉及び保持の精度を高めるためにオーバーサンプリングを行うが、その場合、特に効果が大きい。従来技術のように入力信号系列レジスタ部をシフトレジ

スタにより構成すれば、オーバーサンプルしたシフトレジスタ分の電力消費が余計に生じる。また、同期捕捉及び保持の精度を高めるためには受信信号Rx(t)のビット数を大きくすることが効果的であるが、一方、拡散符号系列は1ビットで表せる。本発明のように拡散符号系列をシフトさせた方が電力消費の負荷は小さい。

【0053】また本発明によれば、拡散比よりも少ないタップ数のマッチドフィルタと巡回累算部により構成することにより、削除したタップ数分のゲート数が巡回累算部の付加により増加したゲート数よりも上回るようにタップ数を選択することにより、回路規模を縮小化させることができる。

#### 【図面の簡単な説明】

【図1】本発明の第一の実施態様であるマッチドフィルタによるスペクトル拡散受信機の構成要素ブロックを示す図である。

【図2】MFによるスペクトル拡散受信機の入力系列レジスタ部の第1の構成例を示す図である。

【図3】MFによるスペクトル拡散受信機の入力系列レジスタ部の別の構成例を示す図である。

【図4】MFによるスペクトル拡散受信機の係数レジスタ部の構成例を示す図である。

【図5】MFによるスペクトル拡散受信機のTap0出力の動作タイミングを示す図である。

【図6】第一の実施態様における入力係数レジスタ部出力の各Tapと係数レジスタ部出力の各Coefの動作タイミングを示す図である。

【図7】本発明の第二の実施態様であるマッチドフィルタによるスペクトル拡散受信機の構成要素ブロックを示す図である。

【図8】MFによるスペクトル拡散受信機の巡回累算部の構成例を示す図である。

【図9】MFによるスペクトル拡散受信機の巡回累算部の信号波形と動作タイミングを示す図である。

【図10】チップレートでサンプリングした場合の、MFによるスペクトル拡散受信機の入力系列レジスタ部の構成例を示す図である。

【図11】従来のマッチドフィルタによるスペクトル拡散受信機の構成を示す図である。

#### 【符号の説明】

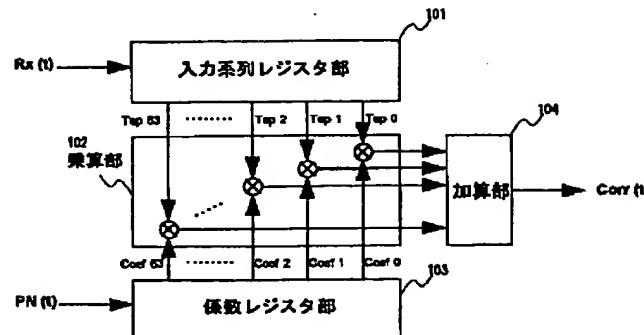
101、201、1011…入力系列レジスタ部、102、202…乗算部、103、203…係数レジスタ部、104、204、304…加算部、111…サブレジスタブロック、112、122、212、302…レジスタ、113、125、213、301、303…遅延素子、114、214…出力セレクタ、115、124、215…ラッチタイミング信号発生器、116、216…出力セレクタ用カウンタ、117…カウンタ、118…アドレスデコーダ、121…シフトレジスタ、123…ロードタイミング信号発生器、205…巡回累算

部、211…加算器、217…出力切換スイッチ、21

8…シンボルタイミング発生器。

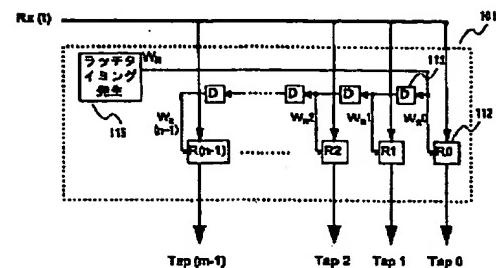
【図1】

図1

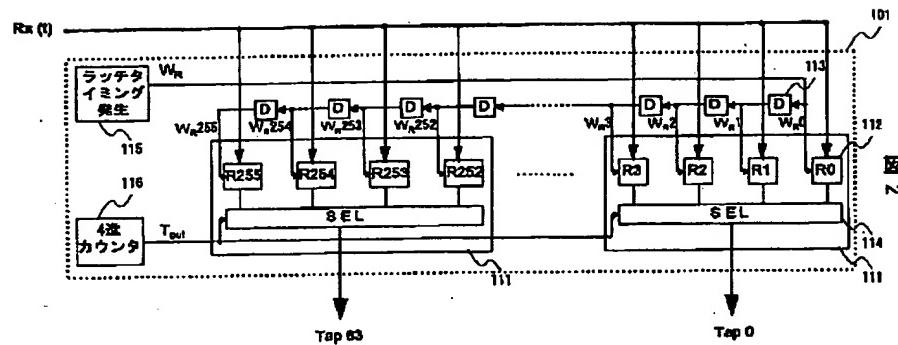


【図10】

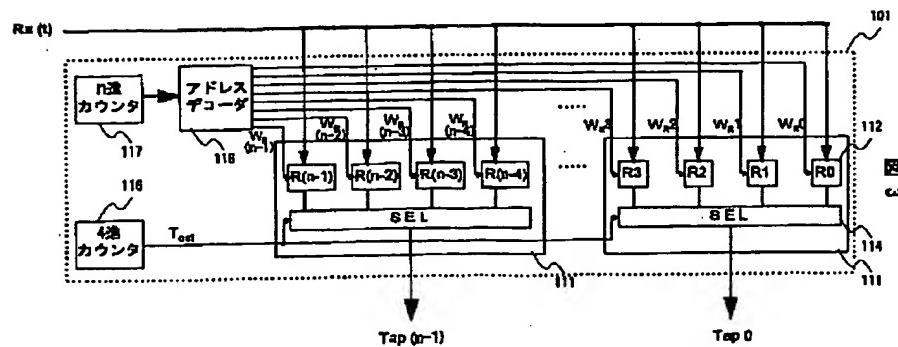
図10



【図2】

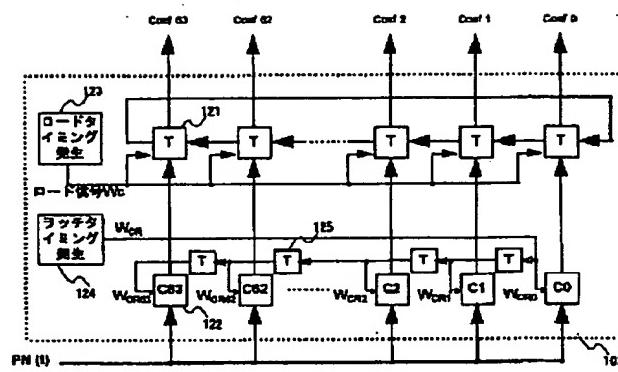


【図3】



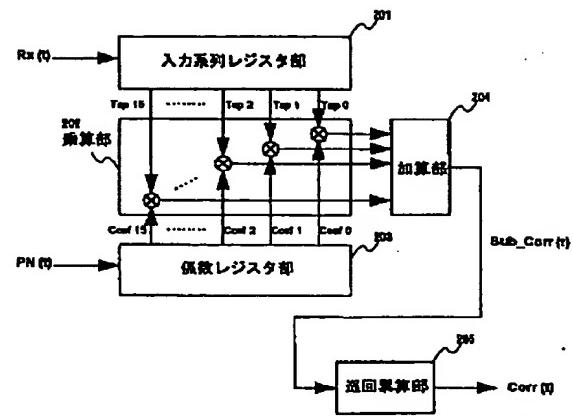
【図4】

図4



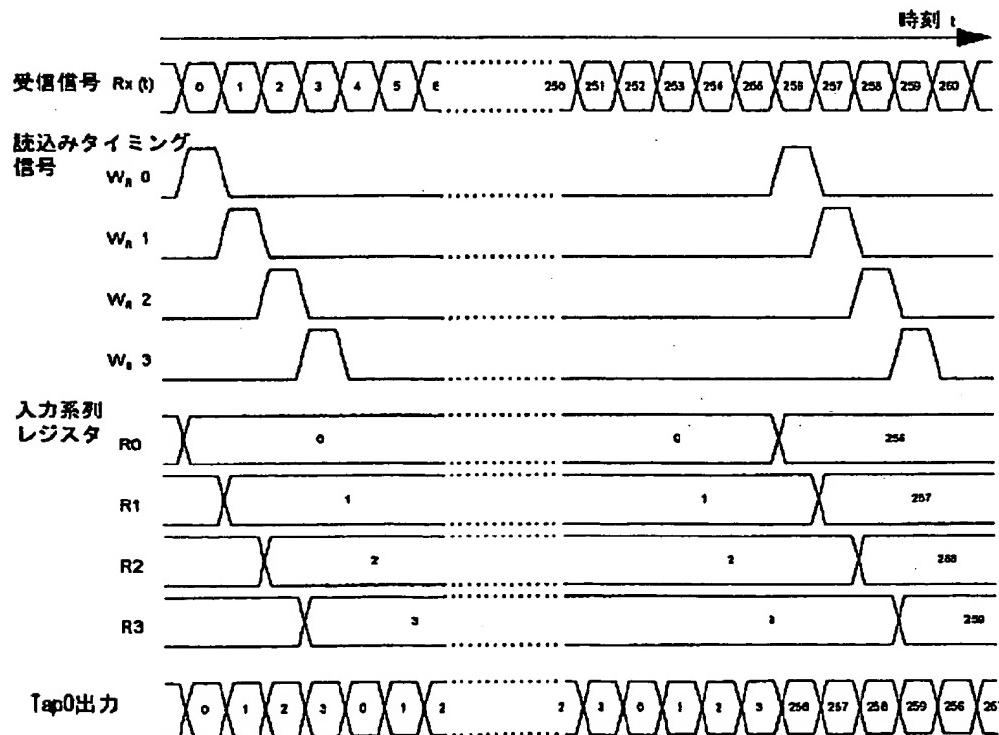
【図7】

図7



【図5】

図5

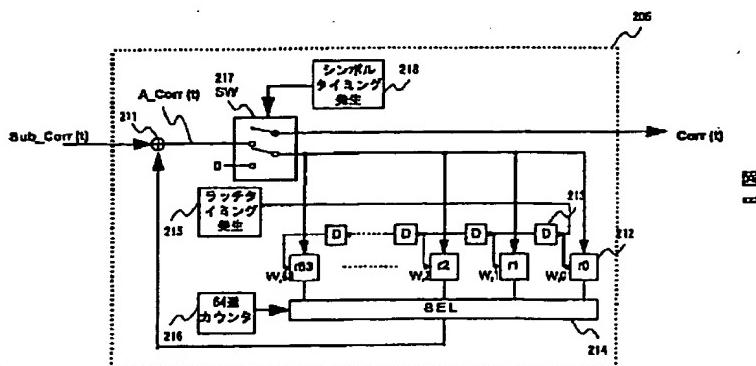


【図6】

図6

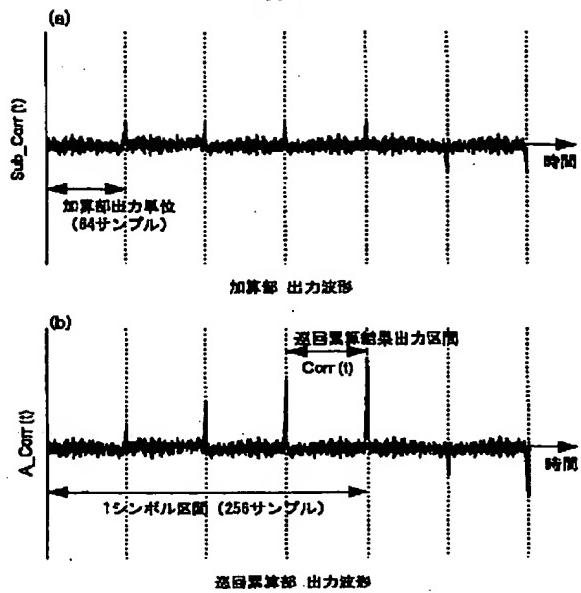
時刻 t	入力系列レジスタ出力 Rx( )					係数レジスタ出力 PN( )				
	Tap0	Tap1	Tap2	Tap3	Tap63	Coef 0	Coef 1	Coef 2	Coef 3	Coef 63
0	0	-	-	-	-	-	-	-	-	-
1	1	-	-	-	-	-	-	-	-	-
2	2	-	-	-	-	-	-	-	-	-
3	3	-	-	-	-	-	-	-	-	-
4	0	4	-	-	-	-	-	-	-	-
5	1	5	-	-	-	-	-	-	-	-
6	2	6	-	-	-	-	-	-	-	-
...	...	...	...	...	...	...	...	...	...	...
250	2	6	10	14	-	-	-	-	-	-
251	3	7	11	15	-	-	-	-	-	-
252	0	4	8	12	252	PN(0)	PN(1)	PN(2)	PN(3)	PN(63)
253	1	5	9	13	253	PN(0)	PN(1)	PN(2)	PN(3)	PN(63)
254	2	6	10	14	254	PN(0)	PN(1)	PN(2)	PN(3)	PN(63)
255	3	7	11	15	255	PN(0)	PN(1)	PN(2)	PN(3)	PN(63)
256	256	4	8	12	252	PN(63)	PN(0)	PN(1)	PN(2)	PN(62)
257	257	5	9	13	253	PN(63)	PN(0)	PN(1)	PN(2)	PN(62)
258	258	6	10	14	254	PN(63)	PN(0)	PN(1)	PN(2)	PN(62)
259	259	7	11	15	255	PN(63)	PN(0)	PN(1)	PN(2)	PN(62)
260	256	260	8	12	252	PN(62)	PN(63)	PN(0)	PN(1)	PN(61)
261	257	261	9	13	253	PN(62)	PN(63)	PN(0)	PN(1)	PN(61)
262	258	262	10	14	254	PN(62)	PN(63)	PN(0)	PN(1)	PN(61)
263	259	263	11	15	255	PN(62)	PN(63)	PN(0)	PN(1)	PN(61)
264	256	260	264	12	252	PN(61)	PN(60)	PN(63)	PN(0)	PN(60)
265	257	261	265	13	253	PN(61)	PN(60)	PN(63)	PN(0)	PN(60)
266	258	262	266	14	254	PN(61)	PN(60)	PN(63)	PN(0)	PN(60)
267	259	263	267	15	255	PN(61)	PN(60)	PN(63)	PN(0)	PN(60)
268	256	260	264	268	252	PN(60)	PN(61)	PN(62)	PN(63)	PN(59)
269	257	261	265	269	253	PN(60)	PN(61)	PN(62)	PN(63)	PN(59)
270	258	262	266	270	254	PN(60)	PN(61)	PN(62)	PN(63)	PN(59)
...	...	...	...	...	...	...	...	...	...	...
505	258	262	266	270	254	PN(1)	PN(2)	PN(3)	PN(4)	PN(0)
507	259	263	267	271	255	PN(1)	PN(2)	PN(3)	PN(4)	PN(0)
508	256	260	264	268	508	PN(64)	PN(65)	PN(66)	PN(67)	PN(127)
509	257	261	265	269	509	PN(64)	PN(65)	PN(66)	PN(67)	PN(127)
510	258	262	266	270	510	PN(64)	PN(65)	PN(66)	PN(67)	PN(127)
511	259	263	267	271	511	PN(64)	PN(65)	PN(66)	PN(67)	PN(127)
512	512	260	264	268	508	PN(127)	PN(64)	PN(65)	PN(66)	PN(126)
513	513	261	265	269	509	PN(127)	PN(64)	PN(65)	PN(66)	PN(126)
514	514	262	266	270	510	PN(127)	PN(64)	PN(65)	PN(66)	PN(126)
515	515	263	267	271	511	PN(127)	PN(64)	PN(65)	PN(66)	PN(126)
516	512	516	264	269	508	PN(128)	PN(127)	PN(64)	PN(65)	PN(125)

【図8】



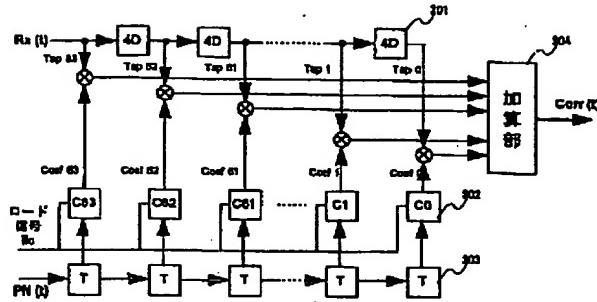
【図9】

図9



【図11】

図11



フロントページの続き

(72)発明者 土居 信数

東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内

(72)発明者 石井 裕丈

東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内